

一种低代价零开销 SoC 在线调试系统设计

何 勇¹, 王 腾¹, 王新安¹, 潘 滨²

(1 北京大学 深圳研究生院集成微系统实验室, 广东 深圳 518055;

2 西安科技大学 电气与控制工程学院, 陕西 西安 710054)

摘 要: 设计和开发嵌入式系统及应用, 片上调试系统必不可少. 针对自主设计的 PKU-DSP II 系统芯片, 设计了基于串口通信的在线调试系统. 片上调试模块在处理器内部调试数据通道和流水线管理单元的支持下, 实现了软件/硬件断点、单步、复位和在线程序下载调试功能, 还开发了上位机调试软件和图形界面. 精确的流水线控制技术和流水线误停的处理, 使得调试系统具有零时序开销的优点. FPGA 原型验证结果表明设计功能正确, 在不降低原有系统性能的前提下, 增加调试功能后硬件资源增加小于 3%.

关键词: 系统芯片; 在线调试; 串口通信; 硬件/软件断点; 在线下载

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2014)03-0089-05

A Low-cost Zero-overhead In-circuit Debug System Design for SoC

HE Yong¹, WANG Teng¹, WANG Xin-an¹, PAN Bin²

(1 The Key Lab of Integrated Micro-systems, Peking University, Shenzhen 518055, China;

2 Electrical and Controlling School, Xian University of Science and Technology, Xi'an 710054, China)

Abstract: On-chip debug is essential for design and development of embedded systems and software. UART based in-circuit debug system is designed for our PKU-DSP II system-on-a-chip. With the assist of debug data channels and pipeline control unit within the processor, the on-chip debug module can support functions such as hardware/software breakpoint, single-stepping, system reset as well as online program downloading and debug software with GUI is developed for host computer. Accurate pipeline control technique and proper handling of pipeline mis-suspending provide the debug system the advantage of zero timing overhead. The FPGA prototyping results show that the proposed design is correct and the hardware cost increases by no more than 3% without reducing the performance of the system.

Key words: system-on-chip; in-circuit debug; UART; hardware/software breakpoint; online downloading

1 引言

随着嵌入式系统发展, 各种嵌入式应用越来越广泛和复杂. 在这些复杂应用的开发过程中, 对应用程序的调试是必不可少的. 目前, 广泛采用的调试方案包括软件调试和片上在线调试两种. 软件调试方案指在目标机的 ROM 或 Flash 中驻留一段服务程序, 该程序接管特定的系统中断, 通过中断的处理控制目标系统运行并查看系统状态. 软件调试方案无

需额外的硬件支持, 方便实用, 但是调试服务程序的存在使得调试环境与实际运行环境不一致, 影响了被调试程序的执行^[1]. 片上在线调试技术通过调试硬件的支持, 实时接收上位机发送的调试命令, 控制目标系统运行并查看甚至修改系统状态^[2-3]. 根据上位机和目标机调试硬件通信接口的不同, 在线调试又分为基于 JTAG 的扫描链插入调试技术^[4-5]和基于串口通信的在线调试技术^[6]. 基于 JTAG 的在线调试功能强大, 但是也存在一些问题: (1) 在要观测

收稿日期: 2013-05-20; 修回日期: 2013-07-12

基金项目: 深圳市科技计划基础研究(JC201005270278A)

的数据通道周围插入扫描链会增加关键路径的延时,限制处理器性能的提高^[7]; (2) 上位机与目标机之间需要进行协议转换,对于特定的嵌入式系统需要编写上层软件. 而采用串口通信,上位机可以直接发送命令和数据到目标机,不需要协议转换,同时调试硬件结构简单,具有非侵入、代价小的优势.

PKU-DSP II SoC 是一款面向嵌入式系统控制和信号处理的通用系统芯片,集成了自主指令集的 16 位 RISC 内核及多种管理设备和外设接口^[8]. 本文应用 PKU-DSP II 系统芯片,设计基于串口通信的片上调试系统,实现软件/硬件断点、单步、运行、停止、复位、读写通用寄存器、状态寄存器、数据存储单元以及在线程序下载等功能,开发调试软件和图形界面.

2 调试系统的设计与实现

片上调试单元 (On-Chip Debug, OCD) 通过 UART 接口从上位机接收到调试命令和数据后,通过控制流水线管理单元进而控制内核的运行和停

止,通过控制地址产生单元 (Address Generation Unit, AGU) 实现对数据存储器和外设模块寄存器的访问. 调试单元与执行单元和指令存储之间分别建立了单独的数据通道来访问处理器通用寄存器、状态寄存器和指令存储器. 图 1 展示了本文设计的 PKU-DSP II 调试系统整体方案.

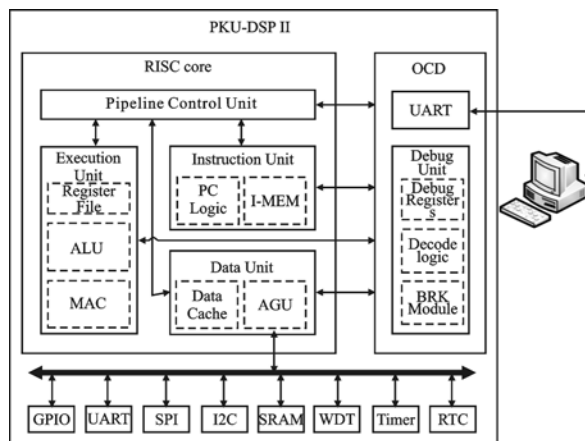


图 1 PKU-DSP II 调试系统整体方案

表 1 调试寄存器及其功能

寄存器名称	地址	功能表述						
		bit15:6	bit5	bit4	bit3	bit2	bit1	bit0
CPU_CTL	0x02	Reserved	CPU_RST	RST_BRK_EN	SW_BRK_EN	STEP	RUN	HALT
CPU_STAT	0x03	Reserved	HWBRK3	HWBRK2	HWBRK1	HWBRK0	SWBRK	HALT_RUN
CPU_PC	0x19	CPU_PC[15:0]						
CPU_IR	0x1a	CPU_IR[15:0]						
MEM_CTL	0x04	Reserved		B/W		MEM/REG	RD/WR	START
MEM_ADDR	0x05	MEM_ADDR[15:0]						
MEM_DATA	0x06	MEM_DATA[15:0]						
MEM_CNT	0x07	MEM_CNT[15:0]						
BRKx_CTL	0x08	Reserved		RANGE_MODE	BREAK_EN	ACCESS_MODE[1:0]		
BRKx_ADDR0	0x09	BRKx_ADDR0[15:0]						
BRKx_ADDR1	0x0a	BRKx_ADDR1[15:0]						

2.1 片上调试单元

片上调试单元由 UART 通信模块和调试单元构成. 其中 UART 通信模块负责接收上位机发送的调试命令和数据,并将调试单元返回的数据发送到上位机. 为满足程序在线下载的要求, UART 模块支持突发传输以提高传输的效率. 在突发传输方式下只要给出目的存储的首地址和突发传输的个数,即可将相应的数据写入指令存储中. UART 模块还支持波特率自动检测,即上位机在传输数据之前首先发送一笔特定的同步数据 (如 0x80), UART 根据接收的同步数据的速率自适应调整采样计数器的值以满足不同的波特率传输.

调试单元主要由比较译码逻辑、调试寄存器组

和硬件断点模块组成. 比较译码逻辑接收上位机发送的调试命令,根据命令中的地址和数据配置调试寄存器组,并根据调试寄存器组的值产生最终输出到内核的控制、数据和地址信号. 调试寄存器组包括控制处理器运行和当前处理器状态的 CPU 组、读写通用寄存器、状态寄存器和数据存储器的 MEM 组,以及配置硬件断点的 BRK 组. 表 1 中列出了主要的调试寄存器及其功能描述.

2.2 调试数据通道

调试单元与处理器的交互主要分为两个方面: (1) 调试模式下调试单元对处理器数据的访问; (2) 调试模式下调试单元控制处理器的运行. 前者需要调试数据通路的支持,后者需要流水线管理单元的支持.

如图2所示,为了支持调试模式下调试单元访问内核的寄存器、数据存储器 and 外设以及指令存储器,在处理器内部添加了三条调试数据通道:

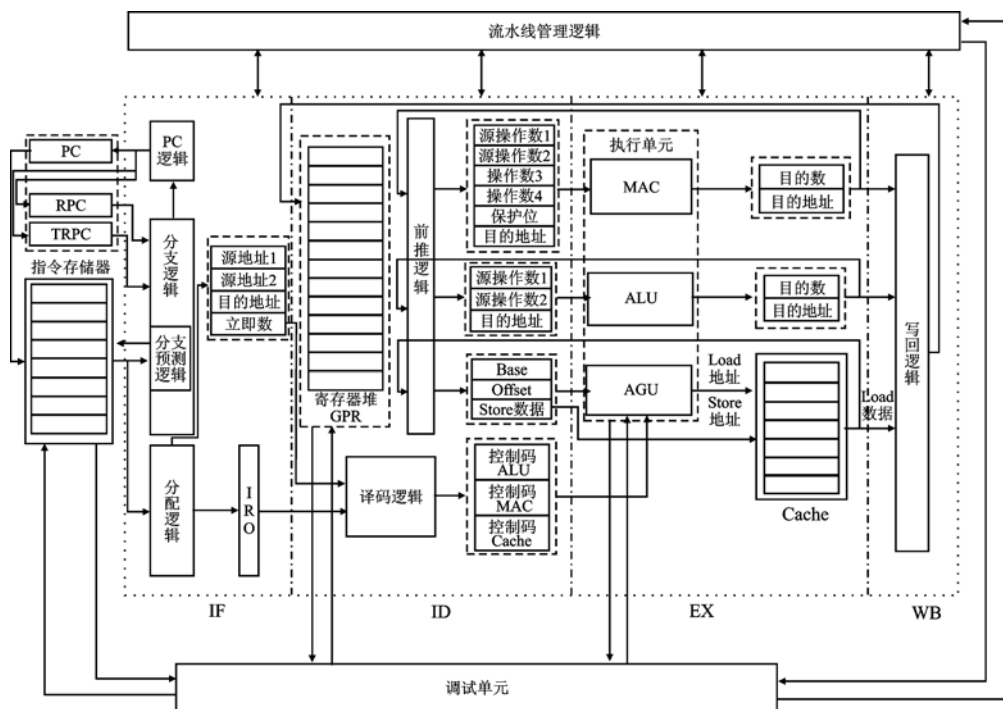


图2 PKU-DSP II 内核结构及调试数据通道

(1)调试单元到寄存器堆的数据通道,以访问内核通用寄存器、控制寄存器和状态寄存器;

(2)调试单元到 AGU 单元的数据通道,以访问数据存储器(通过访问 cache 实现)及外设;

(3)调试单元到指令存储器的数据通道,以满足设置软件断点和程序在线下载的需要。

3 调试信号与流水线管理

PKU-DSP II 内核采用四级流水结构,指令的执行需要经过取指(IF)、译码(ID)、执行(EX)和写回(WB)四个阶段。流水线管理单元通过发送流水线控制信号来管理流水线间寄存器,从而控制指令在流水线中正确运行。而调试单元对处理器的控制就是通过流水线管理单元实现^[9]。本文设计了精确的流水线控制,使加入调试单元后,系统时序开销为0。

当断点被触发后,调试单元发出处理器停止信号(dbg_halt_cpu);流水线管理单元接收到处理器停止信号后,保持 PC 值不变,停止后续指令的取指,同时发出取指级清空信号(if_flush),阻止断点处指令写入 IF 级寄存器。下一个时钟周期,IF 级寄存器被清零,而断点前的指令继续在 ID 级、EX 级和 WB 级执行。又两个时钟周期后,断点前的所有指令执行完毕。同时,由于 IF 级寄存器被清零,导致

ID 级寄存器被清零,而 EX 级和 WB 级寄存器值将保持不变,即处理器通用寄存器或状态寄存器的值将保持断点前一条指令执行完的结果。此时,可以根据调试需要从上位机发送调试命令查看或修改相应寄存器的值。当调试单元接收到单步运行或运行命令后,调试停止信号结束,流水线管理单元释放取指级清空信号,断点处指令及后续指令进入流水线中正常运行。图3展示了系统硬件断点被触发、单步调试和启动运行的时序图,其中时刻5指令存储器地址为106 硬件断点被触发,在时刻10进行单步调试,时刻17启动处理器正常运行。

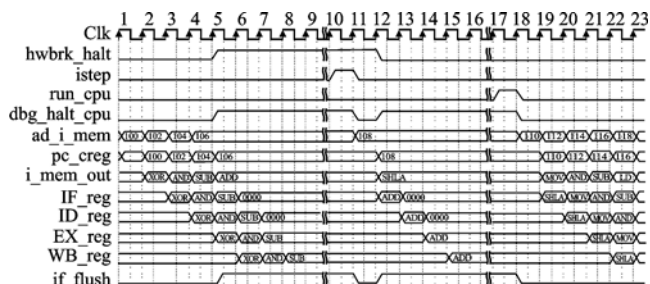


图3 系统调试时序图

为确保断点处理的零时序开销,断点在 PC 寄存器变化时就开始处理,而条件分支指令执行到 EX 级才能判断跳转是否发生,且分支预测假设跳

转不发生, 所以对于条件分支指令后的第一条指令设置断点: (1) 如果分支预测正确不发生跳转, 断点被触发后流水线停在分支指令后的第一指令进入调试模式, 如图 4(a) 所示, 其中地址 102 处为分支指令, 断点设置在地址 104 处; (2) 如果分支预测错误发生跳转断点不被触发, 则断点相对于分支判断的提前处理会造成流水线的误停, 这时需要在分支指令判断结束后 (图 4(b) 时刻 5) 将处理器调试停止信号拉低, 处理器至跳转位置 (地址 50 处) 取指. 而此时由于分支预测错误, 流水线管理单元继续将 IF 级清空信号和 ID 级清空信号 (id_flush) 置高, 以避免分支指令后的指令进入流水线. 图 4(c) 展示了分支预测错误但未设置断点时的流水线控制时序, 从图 4(b) 和 4(c) 的对比可以清楚地看出断点提前处理造成的流水线误停及其处理.

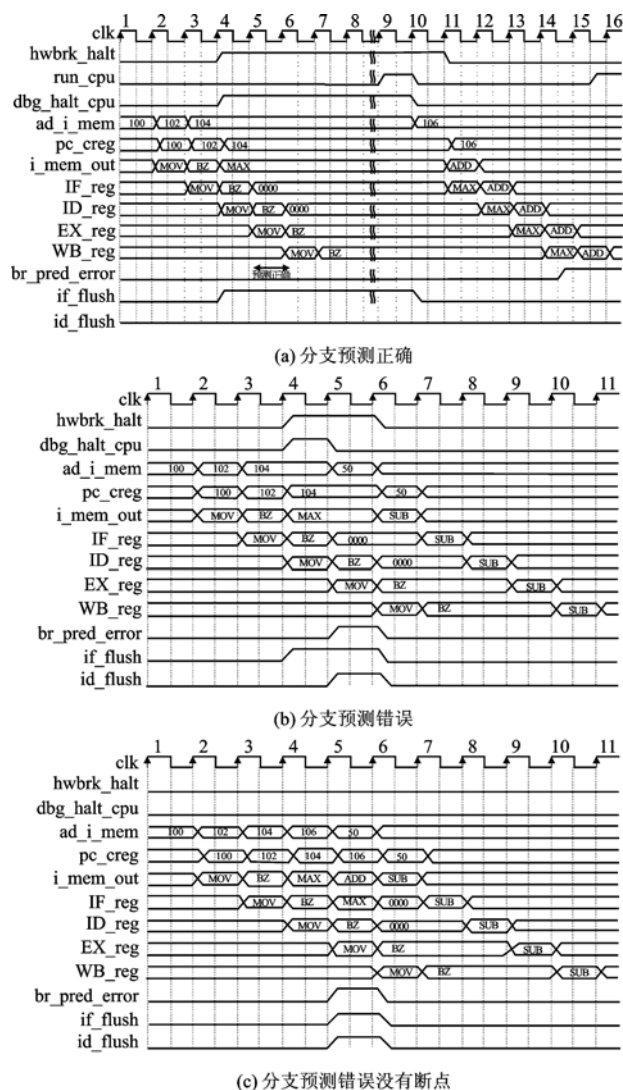


图 4 分支指令后断点的处理

4 结果与分析

为了对调试系统进行全面验证, 采用 Xilinx XUPV5-LX110T 开发板对设计进行原型验证. 图 5(a) 展示了 FPGA 原型验证系统示意图, 系统工作频率为 50 MHz, 上位机串口波特率为 9 600 b/s. 为便于调试操作, 本文还开发了上位机调试软件及其图形界面, 如图 5(b) 所示. 调试软件支持程序在线下载, 对系统进行复位、运行和单步调试, 支持在线设置断点并使能, 还可以查看各寄存器的值. 从图中可以看出, 系统上电复位后, 首先执行 bootrom 程序对系统进行初始化, 然后切换到调试模式, 在调试模式进行程序的在线下载, 设置硬件断点, 并启动 CPU 开始运行, 执行到地址 0x0818 处的 ADD 指令时, 断点被触发, 此时可以更新并查看各通用寄存器的值.



图 5 系统验证与结果

表 2 中对比了 FPGA 原型验证中加入调试模块前后系统资源占用情况.

表 2 FPGA 原型验证系统性能对比

比较项		加入调试前	加入调试后	变化
系统资源占用	Slice Registers	7 728	8 131	5.2%
	Slice LUTs	17 159	18 053	5.2%
	Occupied Slices	6 893	7 057	2.38%
关键路径		19.869 ns	19.832 ns	-0.19%

从表中可以看出, 在时序约束相同的情况下, 加入调试模块前后, 逻辑资源占用增加小于 3%. 对比系统的关键路径, 加入调试后关键路径延时几乎不变. 由此可以看出, 本文提出的调试系统具有低硬件

代价、零时序开销的特点,可以满足嵌入式应用高性能低成本的要求。

5 结束语

本文针对自主设计的 PKU-DSP II 系统芯片,设计了基于串口通信的在线调试系统,详细描述了片上调试单元的结构及其与处理器的交互。调试系统可以支持硬件/软件断点、单步调试、复位以及在线程序下载等调试功能,还开发了上位机调试软件和图形界面。FPGA 原型验证结果表明设计功能正确,在不降低原有系统性能的前提下,增加调试功能后硬件资源占用增加小于 3%。设计具有低硬件代价和零时序开销的特点,可以满足嵌入式应用高性能低成本的要求。

参考文献:

- [1] 罗客露,陈云川. 嵌入式软件调试技术[M]. 北京:电子工业出版社,2008.
- [2] Brat Vermeulen, Neal Stollon, Rolf Kuhn, et al. Overview of debug standardization activities[J]. IEEE Design & Test of Computers, 2008, 25(3): 258-267.
- [3] Kuen-Jong Lee, Si-Yuan Liang, Alan Su. A low-cost SOC debug platform based on on-chip test architectures [C]// IEEE International SOC Conference, Belfast; IEEE Press, 2009:161-164.
- [4] Test Technology Standards Committee of the IEEE Computer Society IEEE Standard Test Access Port and Boundary Scan Architecture[S]. New York: IEEE

Press, 2001.

- [5] Wang Gang, Zhang Shengbing. On-chip debug architecture for MCU-DSP core based system-on-chip [C]// IEEE International Conference on Computer Science and Automation Engineering. Shanghai: IEEE Press, 2011:605-608.
- [6] 曾洁,贾世杰,陈少华. 基于串口通信方式实现对工控微处理器的代码下载与调试[J]. 化工自动化与仪表, 2009,36(1):86-88.
- [7] 梁中书,陈必龙,严晓浪,等. CPU 中可伸缩低开销的硬件调试器设计[J]. 微电子学与计算机, 2004, 21(8):141-144.
- [8] 王腾,谢峥,赵月明,等. 面向医疗电子应用的 16 位 RISC MCU 设计与实现[J/OL]. [2013-04-20]. 北京大学学报自然科学版, <http://www.cnki.net/kcms/detail/11.2442.N.20130513.1546.001.html>.
- [9] 王琪,高瑛珂,华斯亮,等. 可复用微处理器片上调试功能的设计与实现[J]. 计算机辅助设计与图形学学报, 2012,24(10):1369-1374.

作者简介:

何勇 男,(1987—),硕士研究生. 研究方向为系统集成芯片设计与设计方法学。

王腾 男,(1988—),博士研究生. 研究方向为系统集成芯片设计与设计方法学。

王新安 男,(1963—),博士,教授,博士生导师. 研究方向为系统集成芯片设计与设计方法学、阵列处理器架构与设计。

潘滨 男,(1987—),硕士研究生. 研究方向为嵌入式系统与软件开发。

(上接第 88 页)

- [7] Lim C H. Variable-rate variable-power MQAM for fading channels[J]. IEEE Trans on Communications, 2002,50(11):18-60.
- [8] Ma Y H, Xu Y Y, Wang J L. An efficient transmit power and bit rate allocation algorithm for OFDM based cognitive radio systems[J]. IEICE Transactions on Communications, 2011(1):302-306.
- [9] Qi Q L, Andrew M, Yang Y Q(Lamar). An efficient water-filling algorithm for power allocation in OFDM-based cognitive radio systems[C]//International Con-

ference on Systems and Informatics (ICSAI). Yantai: IEEE, 2012:2069-2073.

- [10] Wang L J. An improved water-filling power allocation method in MIMO OFDM systems [J]. Information Technology Journal, 2011,10(3):639-647.

作者简介:

蒋留兵 男,(1973—),硕士,副教授. 研究方向为自适应信号处理、雷达信号处理。